PROCESSO SELETIVO FUNDEPAG Nº 30/2026
EDITAL DE PROCESSO SELETIVO PARA – BOLSISTA DE ESTÍMULO À INOVAÇÃO – PROJETISTA DE CIRCUITOS INTEGRADOS DE SINAIS MISTOS E LAYOUT (BACK-END) TOLERANTES À RADIAÇÃO PARA ATUAÇÃO NO PROJETO MTR-VO (MISSÃO BIOMESAT).

A Fundação de Desenvolvimento da Pesquisa do Agronegócio – FUNDEPAG, na qualidade de Fundação de Apoio do Centro de Tecnologia da Informação Renato Archer – CTI Renato Archer, torna pública a abertura do processo seletivo para o preenchimento de 01 (uma) oportunidade de **Bolsista de Estímulo à Inovação – Projetista de Circuitos Integrados de Sinais Mistos e Layout (Back-end) Tolerantes à Radiação,** discriminada no Anexo I deste Edital.

A seleção decorrente deste Processo Seletivo visa o atendimento à necessidade do Projeto **Módulos de Microeletrônica Tolerante à Radiação para Validação em Órbita (MTR-VO) – Missão BiomeSat**, executado pelo CTI Renato Archer, por meio de sua Divisão de Projetos, Análise e Qualificação de Circuitos Eletrônicos (DIPAQ), com o apoio da FUNDEPAG.

1 - De Participação:

1.1 - A inscrição para a participação no presente processo seletivo poderá ser efetuada com o envio de e-mail para o endereço dipaq@cti.gov.br no período de 16/11/2026 à 18/11/2026 encaminhando o currículo completo (preferencialmente o link do Currículo Lattes atualizado) e dados para contato.

1.2 - Indicar no assunto do e-mail o título: **Processo Seletivo – Bolsista MTR-VO – Projetista de CI de Sinais Mistos e Layout**.

2 – Descrição:

Número de Vagas: 01 (uma)

Dedicação: 40 (quarenta) horas semanais

Período: 36 meses

Local de atuação: Centro de Tecnologia da Informação Renato Archer – Rodovia Dom Pedro I (SP-65), km 143,6, Amarais, Campinas/SP

Valor da bolsa R$ 6.000,00 / mês.

3 - Condições para participação:

3.1. O candidato deverá:

a) Possuir título de Mestre em Engenharia Elétrica, Engenharia Eletrônica ou áreas correlatas, com dissertação na área de microeletrônica;
b) Possuir currículo cadastrado e atualizado na Plataforma Lattes,
c) Não há restrições quanto à idade, ao fato de um estudante já ser graduado por outro curso, e quanto ao semestre/ano de ingresso do estudante na instituição,
d) Ser brasileiro nato, naturalizado ou com visto permanente;

e) Não ter sido condenado em nenhum processo por infração às leis anticorrupção, suborno ou lavagem de dinheiro e nem estar respondendo alguma ação nesse sentido.
f) Estar em dia com as obrigações eleitorais e militares;
g) Não ser empregado FUNDEPAG;
h) Possuir os requisitos e qualificações estabelecidos no Anexo I, do presente edital;
i) Fica vedada a participação em processo seletivo, de ex-funcionário da fundação, cujo afastamento, por iniciativa da empresa, tenha ocorrido em prazo inferior a 06 (seis) meses.

3.2. - Se o candidato não apresentar os documentos solicitados no Anexo I deste edital, quando solicitados e dentro do prazo fixado para tal fim, estará impedido de participar das fases subsequentes do processo seletivo.

4 - Procedimento de Avaliação dos Candidatos:

4.1 - O processo seletivo será realizado em observância às seguintes etapas:

4.1.1 - Análise do currículo, dos documentos comprobatórios fornecidos pelos candidatos para avaliação de sua conformidade com os requisitos mínimos exigidos no Anexo I, do presente Edital.

4.1.2 - Os candidatos habilitados na primeira etapa (análise dos currículos) serão convocados para uma entrevista.

4.1.3 – Em caso de necessidade, os candidatos que obtiverem aprovação na 1ª entrevista serão notificados da data, horário e local da realização da 2ª entrevista.

4.1.4 – Entrevista, de caráter classificatório, cuja avaliação obedecerá à escala de 0 (zero) a 10 (dez).

4.2 - O processo seletivo será homologado pelo representante do CTI Renato Archer.

4.3 - Será selecionado/a o/a candidato/a que obtiver maior nota na entrevista e, em caso de empate, o/a de maior idade.

5 - Da Convocação ao ingresso no projeto:

5.1 - A convocação ao ingresso no projeto obedecerá à rigorosa ordem de classificação dos candidatos e será realizada através de envio de e-mail e/ou ligação telefônica.

5.2 - São condições para a seleção e concessão de bolsa:

5.2.1 - Apresentar documentação completa, conforme relação a lhe ser entregue por ocasião da convocação.

5.2.2 – O candidato não apresentar nenhum impedimento jurídico ou de outra instituição para ingressar no projeto e receber a bolsa de estímulo à inovação.

5.3 - O candidato que, no prazo de 3 (três) dias úteis, não atender à convocação de que trata o item 5.1, será considerado como desistente e eliminado da lista de chamada do processo seletivo.

5.4. A participação do candidato selecionado no projeto se dará pelo período previsto no Plano de Trabalho e se encerrará junto com o a finalização das atividades pertinentes no projeto.

6 – Cronograma:

CRONOGRAMA

Data	Atividade	Forma de contato / divulgação
03 dias	Publicação do edital, inscrição e cadastro de currículos	Internet http://www.fundepag.br e dipaq@cti.gov.br
01 dias	Avaliação dos currículos	Interno – divulgação por e-mail e/ou telefone
01 dia	Convocação para entrevista	E-mail e/ou contato telefônico
01 dia	Entrevistas dos candidatos selecionados	Plataforma de reuniões virtuais
01 dia	Divulgação do resultado	E-mail e/ou contato telefônico
02 dias	Entrega dos documentos e formulários de oficialização	E-mail/ telefone/ plataformas próprias
A definir	Início das atividades	No Município de Campinas/SP

7 - Das Disposições Gerais:

7.1 - A aprovação e convocação do (a) candidato (a) no processo seletivo não lhe assegura o direito à participação e ingresso no Projeto, mas apenas sua expectativa, segundo a ordem de classificação.

7.2 - Este processo seletivo terá a validade de 1 (um) ano, podendo ser prorrogado por igual período, a critério do CTI Renato Archer.

7.3 - O não comparecimento a qualquer etapa implicará na exclusão automática do candidato no processo seletivo.

7.4 - É obrigação do candidato zelar pela fidelidade das informações prestadas, bem como a atualização de dados relativos a endereço e telefone.

7.5 - A participação neste processo seletivo implicará no conhecimento das presentes instruções por parte dos candidatos e no compromisso tácito de aceitação das condições do processo seletivo tais como aqui se acham estabelecidas.

São Paulo, 16 de novembro de 2026.

Antônio Álvaro Duarte de Oliveira
Diretor Presidente

ANEXO I

RESPONSABILIDADES

Atuar como projetista de circuitos integrados analógicos e de sinais mistos, com ênfase em layout e engenharia de back-end, no desenvolvimento dos Módulos de Microeletrônica Tolerante à Radiação para Validação em Órbita (MTR-VO), a serem embarcados nos dois primeiros satélites da missão BiomeSat, constelação de pequenos satélites voltada à observação da Terra e ao monitoramento ambiental. O(a) bolsista será responsável pelo projeto de blocos analógicos de referência e de interface de sensores, pela implementação física (layout) com técnicas de robustez à radiação, pela verificação física e preparação dos circuitos para fabricação, e pelo apoio ao teste e à validação dos circuitos integrados e subsistemas embarcados, em especial os sensores de radiação ionizante previstos como experimento da missão, contribuindo para o aumento do nível de maturidade tecnológica (TRL) dos dispositivos nacionais e para a produção técnico-científica do CTI Renato Archer.

DESCRIÇÃO DAS ATIVIDADES

a) Projetar e simular blocos analógicos e de sinais mistos para os MTR-VO, tais como fontes de referência de tensão e corrente do tipo bandgap, circuitos de condicionamento de sinais e circuitos de interface e leitura de sensores;

b) Projetar e desenvolver circuitos para sensores de ambiente espacial, em particular para detecção de radiação ionizante, a serem empregados como experimento da missão BiomeSat;

c) Elaborar o layout de circuitos analógicos, digitais e de sinais mistos, aplicando técnicas de robustez à radiação (ex.: transistores com geometria fechada, anéis de guarda e regras de espaçamento para mitigação de latchup);

d) Realizar a verificação física dos circuitos (DRC, LVS e extração de parasitas), simulações pós-layout e a montagem do top-level dos circuitos integrados para envio à fabricação (tape-out);

e) Executar a engenharia de back-end dos circuitos integrados (floorplanning, síntese física, posicionamento e roteamento) com ferramentas EDA Cadence e Mentor Graphics;

f) Realizar análises de variabilidade e otimização de circuitos com a ferramenta MunEDA WiCkeD, em tecnologias CMOS de 180 nm, 65 nm e correlatas;

g) Gerenciar e manter os kits de projeto (PDKs) e bases de dados de tecnologias utilizadas no projeto;

h) Descrever, simular e verificar blocos digitais em VHDL/Verilog e implementar plataformas de teste baseadas em FPGA para aquisição de dados e controle dos circuitos integrados;

i) Apoiar o teste funcional e a caracterização em bancada dos circuitos integrados fabricados, bem como os ensaios de qualificação para uso espacial;

j) Apoiar a análise dos dados experimentais obtidos em órbita, avaliando o desempenho dos sensores e circuitos desenvolvidos;

k) Elaborar documentação técnica, relatórios, tutoriais e artigos científicos, e apoiar a identificação de resultados passíveis de proteção da propriedade intelectual, incluindo registros de topografia de circuitos integrados.

QUALIFICAÇÕES PROFISSIONAIS

a) Graduação (bacharelado ou tecnologia) em Engenharia Elétrica, Engenharia Eletrônica, Materiais, Processos e Componentes Eletrônicos ou áreas correlatas;

b) Mestrado em Engenharia Elétrica ou áreas correlatas, com dissertação na área de projeto de circuitos integrados;

c) Experiência profissional comprovada de, no mínimo, 10 (dez) anos em projeto e/ou layout de circuitos integrados analógicos, digitais ou de sinais mistos;

d) Experiência comprovada em projetos de desenvolvimento de circuitos integrados tolerantes à radiação e/ou de sensores de ambiente espacial;

e) Experiência em projetos de circuitos integrados realizados em cooperação técnica com empresas ou instituições de pesquisa;

f) Desejável: capacitação formal em ferramentas EDA e metodologias de projeto de circuitos integrados (ex.: treinamentos Cadence em projeto de RF, síntese e floorplanning);

g) Desejável: produção técnico-científica em congressos da área de circuitos integrados e microeletrônica.

REQUISITOS TÉCNICOS

a) Domínio do fluxo completo de projeto de circuitos integrados, com ênfase em layout, verificação física (DRC/LVS/PEX) e engenharia de back-end;

b) Domínio das ferramentas EDA Cadence e Mentor Graphics, e conhecimento da ferramenta MunEDA WiCkeD;

c) Conhecimento em projeto de circuitos analógicos, em especial fontes de referência (bandgap), e em circuitos de sinais mistos e de RF;

d) Conhecimento de técnicas de layout para robustez à radiação ionizante e mitigação de latchup;

e) Experiência em tecnologias CMOS de 0,6 µm, 0,35 µm, 0,18 µm e 65 nm, e em processos SiGe BiCMOS;

f) Conhecimento de linguagens de descrição de hardware (VHDL e Verilog) e de desenvolvimento com FPGA;

g) Conhecimento de simulação de circuitos analógicos e digitais (Spectre/HSPICE);

h) Noções de processos de fabricação em microeletrônica;

i) Inglês técnico para leitura de documentação e redação de relatórios.

REQUISITO OBRIGATÓRIOp

Título de Mestre em Engenharia Elétrica ou área correlata, com dissertação na área de projeto de circuitos integrados, e experiência comprovada em projeto, layout e verificação física de circuitos integrados analógicos e de sinais mistos, incluindo atuação em projetos de circuitos integrados tolerantes à radiação ou de sensores para ambiente espacial, demonstrada por meio do Currículo Lattes atualizado e de documentos comprobatórios.